

Family list

3 family members for: JP9331068

Derived from 2 applications

1 SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Inventor: TANAKA NOBUHIRO; FUKUNAGA KENJI **Applicant:** SEMICONDUCTOR ENERGY LAB**EC:** H01L21/336D2B; H01L23/60; (+1) **IPC:** H01L21/205; H01L21/265; H01L21/336 (+9)**Publication info:** JP3545131B2 B2 - 2004-07-21
JP9331068 A - 1997-12-22

2 Method for forming a thin film transistor using an electrostatic shield

Inventor: TANAKA NOBUHIRO (JP); FUKUNAGA TAKESHI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)**EC:** H01L21/336D2B; H01L23/60; (+1) **IPC:** H01L21/205; H01L21/265; H01L21/336 (+7)**Publication info:** US5899708 A - 1999-05-04

Data supplied from the esp@cenet database - Worldwide

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Patent number: JP9331068

Publication date: 1997-12-22

Inventor: TANAKA NOBUHIRO; FUKUNAGA KENJI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- international: H01L21/205; H01L21/265; H01L21/336; H01L23/60; H01L29/786; H01L21/02; H01L23/56; H01L29/66; (IPC1-7): H01L29/786; H01L21/205; H01L21/265; H01L21/336

- european: H01L21/336D2B; H01L23/60; H01L29/786A

Application number: JP19960171884 19960611

Priority number(s): JP19960171884 19960611

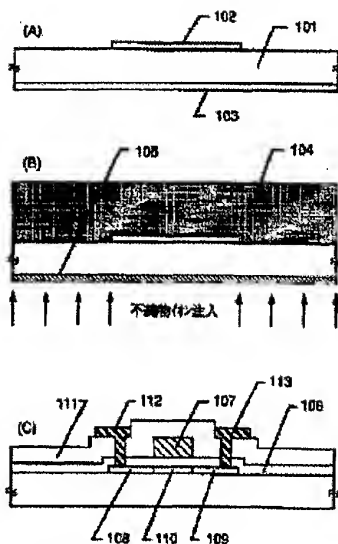
Also published as:

US5899708 (A1)

Report a data error here

Abstract of JP9331068

PROBLEM TO BE SOLVED: To avoid the charging of a glass substrate for previously avoiding the charging and the electrostatic breakdown of a device element by forming a connecting thin film below an insulating substrate for making the thin film fill the role of an electrostatic shield. **SOLUTION:** In order to manufacture a semiconductor device on an insulating substrate 101, a conductive thin film 5 is formed below the substrate 101 to make the thin film 105 fill the role of an electrostatic shield. For example, amorphous silicon films are formed on both upper and lower surfaces of the glass substrate 101 and the surface side of a crystalline silicon film after the transformation from the amorphous silicon, is patterned to be formed into an insulator semiconductor layer 102 as an active layer. Next, the upper surface side of the layer 102 is protected by a resist mask 104 so as to implant the residual silicon film 103 on the lower surface with impurity ions. Finally, after removing the resist mask 104, a gate insulating film 106, a source region 108 and a drain region 109, etc., are formed and then silicon film 105 is removed so as to complete the thin film transistor.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-331068

(43) 公開日 平成9年(1997)12月22日

(51) Int. Cl. ⁴	識別記号	F I		
H01L 29/786		H01L 29/78	623	A
21/205		21/205		
21/265		21/265		W
21/336		29/78	618	A

審査請求 未請求 請求項の数 6 F D (全 7 頁)

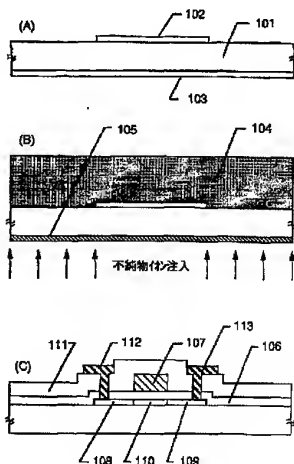
(21) 出願番号	特願平8-171884	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成8年(1996)6月11日	(72) 発明者	田中 信洋 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
		(72) 発明者	堀永 健司 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】 (修正有)

【課題】 静電気対策を施して半導体装置の製造歩留りを向上させる。

【解決手段】 ガラス基板101上に半導体装置を作製する際に、作製工程の初期段階でガラス基板の下面側に導電性を有する薄膜105(例えば、導電性を付与した珪素膜等)を形成する。この導電性を有する薄膜の静電シールドとしての機能によりガラス基板が直接的に帯電することがなくなり、ガラス基板の帯電に伴うデバイス素子の静電破壊を未然に防ぐことが可能となる。



【特許請求の範囲】

【請求項1】 絶縁性を有する基板上に半導体装置を作製する方法において、

前記基板の下面に導電性を有する薄膜を形成する工程を少なくとも有し、

前記導電性を有する薄膜を静電シールドとして機能せしめることを特徴とする半導体装置の作製方法。

【請求項2】 請求項1において、導電性を有する薄膜とは導電性を付与する不純物イオンを含んだ珪素膜であることを特徴とする半導体装置の作製方法。

【請求項3】 絶縁性を有する基板上に半導体装置を作製する方法において、

前記基板の上面および下面に珪素膜を成膜する工程と、前記下面側に成膜された珪素膜に対して導電性を付与する不純物イオンの注入を行う工程と、

前記半導体装置の完成後に前記下面側の珪素膜を除去する工程と、

を少なくとも有し、

前記下面側に成膜された珪素膜を静電シールドとして機能せしめることを特徴とする半導体装置の作製方法。

【請求項4】 請求項3において、珪素膜の成膜方法は減圧熱CVD法であることを特徴とする半導体装置の作製方法。

【請求項5】 絶縁性を有する基板上に形成された半導体装置であって、

前記基板の下面には導電性を有する薄膜が形成され、前記導電性を有する薄膜は静電シールドとして機能することを特徴とする半導体装置。

【請求項6】 請求項5において、導電性を有する薄膜とは透光性を有する導電膜であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本明細書で開示する発明は、静電気対策を兼ね備えた半導体装置の作製方法に関する。特に、ガラス基板上に形成された薄膜トランジスタなどの薄膜半導体を用いた半導体装置の作製方法に関する。

【0002】

【従来の技術】 静電気の帯電現象（接触帯電、摩擦帯電、剥離帯電等）により、絶縁材料等が時には数十kVもの高い帯電を示すことがあり、その周辺には強い電磁界が生じることが知られている。金属材料等の導電体は、このような環境に置かれると表面に誘起電荷を生じたり、金属材料内での極性分離を起こしたりして静電気放電（ESD: electrostatic discharge）の原因となる危険性に曝される。

【0003】 ところが現状では、半導体産業が急速に発展する一方で半導体工場における静電気対策の不備が指摘されている。静電気対策とは、即ち静電気放電（ES

D）によるデバイス素子の静電破壊等を防止するための対策である。

【0004】 その理由は、静電気対策について未だ不明瞭な問題が多く残されていること、静電気対策を施すためにはかなり大がかりな環境作りが必要であり、そのための設備投資が経営者にとっては大きな経済的負担となってしまうことである。

【0005】 以上の理由から、どうしても静電気対策は簡易なものに留まる上、管理者の知識不足から効果的な対策が施されていないことが多いと言われる。一般的に施される静電気対策としては、大別すると、帯電体を接地して電荷を速やかに漏洩させる方法と放射イオンにより帯電体の電荷を中和する方法がある。

【0006】 例えば、除電対象物が静電的に導体（一般的には $1.0 \times 10^4 \Omega \text{m}$ 以下）である場合には接地による方法が有効である。また、対象物が移動していない不導体（一般的には $1.0 \times 10^4 \Omega \text{m}$ 以上）である場合にはプラスまたはマイナスイオンにより中和する方法が有効である。

【0007】 この理由を図3を用いて説明する。図3（A）は導電体（金属等）が帯電した状態を示している。この場合、外部電界の影響がないとしたら帯電した電荷の強さも極性も均一となる。しかし、図3（B）に示す様に、不導体（ガラス等）が帯電すると、電荷の強さも極性も異なるものとなってしまう。これは導電体における電荷の高い移動性と不導体における電荷の非移動性による。

【0008】 また、図3（C）に示す様に帯電した導電体が接地されれば一気に電荷を失い、導電体は除電される。しかし、図3（D）に示す様に不導体は接地されても電荷の移動が極めて遅いため除電にはかなりの時間がかかるか、場合によっては実質的に除電されないといったことがある。

【0009】 そのため不導体が帯電した場合、接地しての除電は効率が悪いのでプラスに帯電した領域はマイナスイオンで中和し、マイナスに帯電した領域はプラスイオンで中和する必要がある。生じるのである。

【0010】 イオンにより中和する方法としては、コロナ放電を利用して空気中の例えば窒素成分の分子を電気量の変化によってプラスまたはマイナスの極性を持つイオンに変化させ、空気中に両極性イオンを均一に散布させる方法が一般的である。このための装置はイオナイザーと呼ばれ、一般的に普及している。

【0011】 最近の半導体産業では、アモルファシリコン薄膜を用いた薄膜トランジスタ（TFT）から低温ポリシリコン薄膜を用いたTFTへと開発の流れが移りかわりつつあり、それに伴って安価なガラス基板上に半導体回路を形成する技術の需要がさらに増えてきている。ガラス基板は言うまでもなく絶縁性を有しており、不導体である。

【0012】そして、半導体装置の製造過程の中で接触帯電、摩擦帯電、剥離（分離）帯電等の様々な原因によりガラス基板は帯電する。さらに、ガラス基板に蓄積した電荷は電絶界を形成し、絶縁された導電体（例えば、ガラス基板上に形成された配線など）に電荷を誘起させる。この誘起電荷がESDを生じるのに十分なほど誘起されると、放電時にデバイス素子を損傷させることになる。

【0013】従って、ガラス基板の除電が必須項目となるのだが、ガラス基板が不導体である以上、イオナイザーによる電荷の中和に類る以外に効果的な除電方法がなかった。実際、各社ではクリーンルーム内の各所にイオナイザーを配置して室内全域に静電気対策を施したり、基板毎に除電プレーン等を行って帯電した電荷を除去する方法が採られている。

【0014】しかしこの方法は両極性イオンの発生量のバランス制御が難しく、バランスが崩れると逆に除電対象物を過剰なプラスまたはマイナスの電荷でもって帯電させてしまうことにもなりかねないという問題がある。

【0015】また、コロナ放電を起こすイオナイザーの電極針は、汚れや電極変形によって性能の劣化を生じるためメンテナンス管理が必要であり、恒久的な静電気対策としてはコスト的にも簡易な手段とは言えないのが現状である。また、電極針に静電気により集まったゴミがクリーンルームのゴミの発生源となる例も報告されている。

【0016】

【発明が解決しようとする課題】本明細書で開示する発明は、簡易な静電気対策を施した環境で半導体装置を作製し、製造歩留りを向上させる技術を提供することを課題とする。

[0017]

【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁性を有する基板上に半導体装置を作製する方法において、前記基板の下面に導電性を有する薄膜を形成する工程を少なくとも有し、前記導電性を有する薄膜を静電シールドとして機能せしめることを特徴とする。

【0018】上記導電性を有する薄膜としては、金属または金属化合物を主成分とする薄膜と導電性を付与する不純物イオンを含んだ半導体薄膜などが挙げられる。特に、半導体薄膜として珪素膜を用いると基板の上側面（薄膜トランジスタの活性層を構成する）および下側面（静電シールドとして活用する）に同時に成膜することが可能であるので、特に成膜工程を増やすことがない利点がある。

【００１９】即ち、他の発明の構成は、絶縁性を有する基板上に半導体装置を作製する方法において、前記基板の上面および下面に珪素膜を成膜する工程と、前記下面側に成膜された珪素膜に対して導電性を付与する不純物

イオンの注入を行う工程と、前記半導体装置の完成後に前記下面側の珪素膜を除去する工程と、を少なくとも有し、前記下面側に成膜された珪素膜を静電シールドとして機能せしめることを特徴とする。

【0020】また、珪素膜の成膜方法はプラズマCVD法であっても減圧熱CVD法であっても良い。なお、減圧熱CVD法によると、現状の装置構成のままでも基板を浮かした状態で支持する構成とすれば、その成膜機構の特徴により上面、下面に拘わらず緻密で密着性に優れた珪素膜を得ることができるため有効である。

【0021】また、他の発明の構成は、絶縁性を有する基板上に形成された半導体装置であって、前記基板の下面には導電性を有する薄膜が形成され、前記導電性を有する薄膜は静電シールドとして機能することを特徴とする。

【0022】この場合、静電シールドとして機能する薄膜は半導体装置が完成した後も除去する必要のない透光性を有する導電膜（透明導電膜）が望ましい。透明導電膜としてはITO膜に代表されるインジウムやスズの酸化物を主成分とする金属化合物が一般的である。

【0023】

【発明の実施の形態】ここで本発明を実施する形態の一例を図1を用いて説明する。具体的には、ガラス基板上に薄膜トランジスタを形成する際に、本発明を実施する場合の形態を示すことにする。

【００２４】絶縁性表面を有するガラス基板１０１に対して、後に薄膜トランジスタの活性層を構成する珪素膜を成膜する際に、ガラス基板１０１の上面側および下面側の両方に成膜を行う。

【００２５】そして本発明では下面側に成膜された珪素膜１０３に対して不純物イオンの注入を行い、導電性を付与した珪素膜１０５として、後工程における静電シールドとして活用する。

【0026】上記構成でなる本発明について、以下に記載する実施例でもって詳細な説明を行うこととする。

[0027]

【實施例】

【実施例１】本実施例では、ガラス基板上に薄膜トランジスタを形成する作製過程において、静電シールドとして導電性を付与した珪素膜を用いる場合の例を示す。説明には図１を用いる。

【0028】図1(A)において、101で示されるのは絶縁性を有する基板であり、本実施例ではガラス基板を用いる。なお、ガラス基板101の表面には図示しない酸化珪素膜が成膜されている。この酸化珪素膜は、ガラス基板101とデバイス素子との間のバッファ層となるものである。

【0029】次に、後に薄膜トランジスタの活性層を構成する図示しない珪素膜を成膜する。成膜する珪素膜は非晶質珪素膜であっても結晶性珪素膜であっても良い。

本実施例では非晶質珪素膜を減圧熱CVD法により1000 Åの厚さに成膜する。

【0030】また成膜の際、基板101は下面の隅4点をブッシャーピンによって支持された状態で成膜されるので、上面のみならず側面および下面にも同じ膜質の非晶質珪素膜を成膜することが可能である。

【0031】次に、本実施例では図示しない非晶質珪素膜を結晶性珪素膜へと変成させる。この結晶化工程は公知の加熱処理やレーザーアニール処理を用いれば良い。

そして、得られた結晶性珪素膜の上面側をバターニングして、ドライエッチング法により活性層となる島状半導体層102を形成する。

【0032】このドライエッチング工程の際、ガラス基板101の側面に存在した珪素膜もプラズマに曝されるためエッチング除去され、島状半導体層103以外にはプラズマに曝されないガラス基板101の下面のみに珪素膜103が残存する。こうして図1(A)の状態が得られる。

【0033】そして、図1(B)に示す様に、このガラス基板101の下面に残存した珪素膜104に対して一導電性を付与する不純物イオン(例えば、リンまたはボロンイオン)の注入を行う。なお、イオン注入の際、ガラス基板101の上面側はレジストマスク104で保護しておく。

【0034】こうして珪素膜103に対して導電性を付与した状態を得る。この様にして導電性を付与した珪素膜105は、この先の後工程において静電シールドとして機能することになる。

【0035】図1(B)に示す状態が得られたら、レジストマスク104を除去した後、公知の作製工程に従ってガラス基板101の上面側に、ゲイト絶縁膜106、ゲイト電極107、ソース領域108、ドレイン領域109、チャネル形成領域110、層間絶縁膜111、ソース電極112、ドレイン電極113を形成する。

【0036】この様にして、目的の薄膜トランジスタが完成したら、静電シールドとして機能させた導電性を付与した珪素膜105を除去して、図1(C)に示す構造を有する薄膜トランジスタが完成する。

【００３７】なお、公知の技術において静電シールドとして機能する珪素膜１０５が除去されてしまう様な工程は避けなければならない。本実施例では島状半導体層１０２の形成以外に珪素膜をエッチングする工程を含まない様な工程を採用した。

【0038】また、本実施例は説明のため最も簡単な構造のプレーナ型薄膜トランジスタを例としたが、どのような構造の薄膜トランジスタであっても本発明が応用できることは言うまでもないことである。従って、目的に応じて画素用またはドライバ用の薄膜トランジスタを作製したり、逆スタガ型の薄膜トランジスタを作製する場合においても本発明は実施可能である。

【0039】以下に、上記薄膜トランジスタの作製過程において、導電性を付与した珪素膜105の静電シールドとしての機能がどのようなものであるかを説明する。なお、実際の静電気の挙動は複雑で不明瞭な部分も多いため、模式的に静電シールドの機能を説明するだけに留める。

【0040】従来例で述べた様に、物体同士が接触した時、摩擦した時、剝離（分離）した時にはいずれの場合においても電荷の移動が生じて静電気が発生する。どちらの物体が正・負（プラス・マイナス）どちらに帯電するかは、帯電現象が複雑なパラメータに依存するため一概には決定しない。ここで表1に示すのは、半導体装置製造工程において一般的に見られる異なる物体同士の間が生じる帯電傾向を示す摩擦帯電系列である。

【0041】

【表 1】

正 空氣

人の手

ガラス

ナイロン

アルミニウム

ポリエステル

鋼鉄

硬質ゴム

ニッケル、銅

銀

グラス、ステンレス

アクリル

ポリエチレン

ポリブロビレン

PVC、塩化ビニル

シリコーン

食 - テフロン

【0042】この様な状況において、薄膜トランジスタの作製過程の中でガラス基板は様々な他の物体と接触する。他の物体とは、例えばCVD装置のアルミ合金製ステージであったり、ガラス基板を搬送するテフロン製キャリアであったりする。

【0043】例えば、上述の様なガラス基板とアルミ合金製ステージの組み合わせでは、摩擦帯電系列によるとガラス基板がプラスに帯電して、アルミ合金製ステージがマイナスに帯電することが予想されるが、密着には接

々な因子が絡んで逆極性に帯電するといった事も起こりうる。

【0044】ここでは帯電の様子を模式的に図2を用いて説明する。なお、図2は物体同士が接触した後に再び離され、剥離帯電を生じた時の状態を表している。また、この時、接地されている導電体は直ちに電荷を失うと考えて良い。

【0045】図2(A)に示す様に、ガラス基板201とアルミ合金製ステージ202とが剥離すると、剥離帯電によりガラス基板201およびステージ202がプラスまたはマイナスに帯電する。なお、ステージ202は、図2(A)では接地してあるので誘起された電荷は直ちに失われるが、ガラス基板201内には電荷が残留してしまふ。

【0046】厳密には、ガラス基板201は不導体であるので図3(B)に示した様にその電荷の強さおよび強度の分布は複雑である。また、帯電体の内部の電荷は相互に打ち消し合うので、通常表面のみが帯電していると見なされる。しかし、ここでは単純化のために帯電した物体を全体的に色付けして識別することにする。

【0047】この場合、ガラス基板201が帯電するとその静電誘導作用によりガラス基板201上の配線203も帯電する。配線203に帯電する電荷量は、ガラス基板201が帯電する電荷量に大きく影響される。

【0048】以上の様なガラス基板への帯電現象は薄膜トランジスタの作製過程の至る所において行われ、その電荷量により形成される電磁界の強さが変化し、その電磁界が引き起こす静電作用により限界以上の電荷が配線内に誘起された時、放電現象と共に配線、即ちデバイス素子の破壊が生じるのである。

【0049】一方、図2(B)に示すのは本発明を実施した場合の例である。この場合、アルミ合金製ステージ202と直接接触することになるのは導電性を付与した珪素膜204であり、両者の間で剥離帯電が生じる。

【0050】この場合、導電性を付与した珪素膜204は帯電するが、ガラス基板201は殆ど帯電しないと考えられる。なぜならば、ガラス基板201(正確には珪素膜204)とステージ202との剥離(分離)が行われる時、通常珪素膜204はブッシェーピンや搬送アーム等の基板搬送機構の一部と接触しており、それらの搬送機構を接地しておけば電荷の蓄積が生じないからである。

【0051】また、図2(C)に示す様に接地していないステージや高分子ポリマー等でコーティングされた電極などの非導電性の電極205は、イオンブロー等による中和を行わない限り常に帯電した状態となっている。

【0052】この様な場合、本発明の構造ではガラス基板201の下面に導電性を有する珪素膜204が存在するため、珪素膜204が静電遮蔽を行う静電シールドとして機能し、ガラス基板201の帯電を防止することが

できる。

【0053】ここで言う静電遮蔽とは、帯電体と物体との間に導電体を挟み込んだ時に、帯電体の静電作用がその物体に及ばなくなる現象を指す。この現象自体は既に参考書等に報告されている。

【0054】以上に示した様に、本実施例によればガラス基板201の下面に具備した導電性を有する珪素膜204によってガラス基板201が直接的に帯電することを避けられる。即ち、静電気の発生する工程中は珪素膜204を接地しておくことでガラス基板201への帯電を防ぐことが可能である。また、帯電体の上にガラス基板201を載せる必要が生じる場合などにおいても、珪素膜204が静電シールドとして機能するのでガラス基板201の帯電を防ぐことができる。

【0055】また、従来の様に除電ブローによる静電気の中和を行う場合、その除電時間が数秒/枚でかかるのに比べ、本発明は通常の作製工程を実施する間に除電が行われているので工程時間(タクトタイム)の短縮に寄与する。

20 【0056】【実施例2】実施例1では、活性層を構成する珪素膜の成膜と同時にガラス基板の下面にも珪素膜を成膜し、導電性を付与した状態として静電シールドとして利用する例を示した。しかし、他の導電性を有する薄膜(例えば金属または金属化合物を主成分とする薄膜)であっても静電シールドとして機能させることができる。

【0057】ただしこの場合、薄膜トランジスタの形成過程において静電シールドとして機能する導電性薄膜がエッチングされないことが望ましい。膜厚を予め厚くしておけば対処できるが、効率的な方法とは言えない。

30 【0058】本実施例が示す様に金属または金属化合物を主成分とする材料を静電シールドとして活用した場合、導電率が大きいので接地した時の除電が非常に速やかに行われるという利点を有する。

【0059】【実施例3】本実施例では薄膜トランジスタの作製過程において静電シールドとしてITO(Indium Tin Oxide)膜に代表される透光性を有する導電膜(透明導電膜)を利用する例を示す。ただし、作製過程において透明導電膜をエッチングする様な成分元素(特に塩素など)をその組成に含有するエッチャントを用いないことが重要である。

40 【0060】ガラス基板上の薄膜トランジスタでもって駆動する液晶ディスプレイの作製に本発明を応用した場合、透明導電膜は透光性を有するので液晶ディスプレイとして完成した後も特に除去する必要がないという利点がある。

【0061】

【発明の効果】本発明を実施することでガラス基板と他の物体とが直接接触することがなくなる。そして、導電性を有する珪素膜204を静電シールドとして具備する

ことでガラス基板の帯電を防止し、ガラス基板の帯電によって引き起こされるデバイス素子の帯電およびそれに起因するESD（静電気放電）による静電破壊を未然に防ぐことが可能である。

【図面の簡単な説明】

【図1】 薄膜トランジスタの作製工程を示す図。

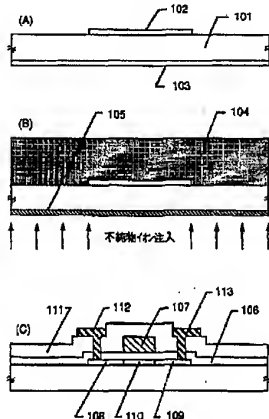
【図2】 静電シールドの効果を説明するための図。

【図3】 物体の帯電状態を説明するための図。

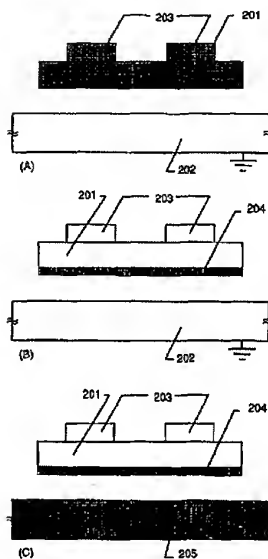
【符号の説明】

- 101 ガラス基板
- 102 島状半導体層
- 103 ガラス基板の下面側の非晶質珪素膜
- 104 レジストマスク
- 105 導電性を付与した珪素膜（静電シールド）

【図1】



【図2】



【図 3】

